

MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP62123787

Publication date: 1987-06-05

Inventor: KASAHARA KENICHI; ENOMOTO TADAYOSHI

Applicant: NIPPON ELECTRIC CO

Classification:

- International: H01L27/15; H01L21/60; H01L33/00; H01L27/15;
H01L21/02; H01L33/00; (IPC1-7): H01L21/60;
H01L27/15; H01L33/00

- European:

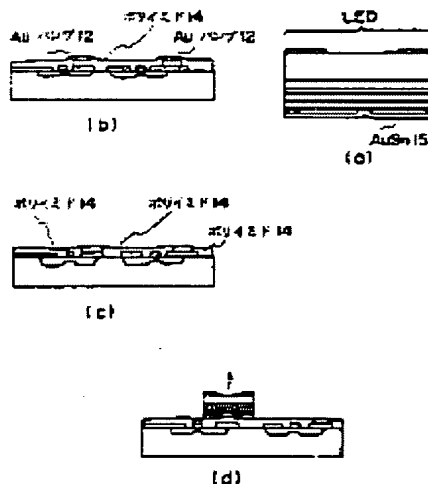
Application number: JP19850264337 19851122

Priority number(s): JP19850264337 19851122

Report a data error here

Abstract of JP62123787

PURPOSE: To facilitate unification of an optical semiconductor device and an another semiconductor substrate on which electronic circuits are formed without deteriorating the characteristics of the device by a method wherein welding metal is applied to the one side of the optical semiconductor device and the device is aligned with and put on the welding part of the semiconductor substrate and the two components are heated, welded and unified. **CONSTITUTION:** AuSn 15 for welding is applied to the P-type side of a surface emission type LED whose light emission diameter is 25mmphi and whose chip size is 300umX300um to the thickness of 1um by whole surface evaporation. An Au bump 12 is formed on an SOS substrate by a selective Au plating method with a resistmask to the thickness of about 1um. Then the whole surface of the SOS substrate is coated with polyimide 14. After the polyimide 14 is cured by two-step baking at 200 deg.C and 350 deg.C, the whole surface is etched by dry etching and the etching is stopped when the Au bump 12 is exposed. The LED is put on the Au bump 12 and heated in N₂ atmosphere at 260 deg.C and welded.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-123787

⑬ Int.Cl.⁴

H 01 L 33/00
21/60
27/15

識別記号

庁内整理番号

G-6819-5F
6732-5F
6819-5F

⑭ 公開 昭和62年(1987)6月5日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭60-264337

⑰ 出 願 昭60(1985)11月22日

⑱ 発 明 者 笠 原 健 一 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 榎 本 忠 饒 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

光半導体チップの片面に融着用の金属を被着させ、これを電子回路が形成された別の半導体基板の金属パンプに目合わせしてのせ、加熱、融着によって前記光半導体チップと前記半導体基板とを一体化することを特徴とする半導体装置の製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は高集積、多機能化など多様な応用が可能な積層形集積回路を短時間で製造できる積層プロセス技術に関する。

(従来の技術)

多層構造の集積素子は、通常の素子に比べて集積密度を極めて高くすることができるばかりか、複雑な機能を複合化したデバイスを実現できる。

この様なものとして従来光・電子集積素子(OEIC)が知られている。OEICは同一半導体基板の上に光デバイスと電子回路を一体化して作り込み、配線インダクタンスや浮遊容量を減らして高速動作を行なわせようというものである。第5図は、OEICの従来例で、第14回ソリッド・ステート・デバイスに関する国際会議(Proceedings of the 14th Conference on Solid State Devices, Tokyo, 1982, pp587~588)で発表されたGaAs-LEDと3個のMESFETから成る集積素子である。高抵抗のH.R.GaAs 21をはさんでLED22とFET23が縦方向に集積されているが、一体化構成で、層構造の異なるLED22とFET23の特性の最適化を図ることは容易でない。両者の電気的アイソレーションをとるためにH.R.GaAs 21を挿入しているものの、実用的に十分なIsolationがとれるような高抵抗層は未だ実現されていない。

本発明は上記欠点に鑑みなされたものであり、両方のデバイスの特性を損なうことなく、両者をコンパクトに一体化する半導体装置の製造方法を提供することを目的とする。

(問題点を解決するための手段)

本発明になる半導体装置の製造方法は光半導体素子の片面に融着用の金属を被着させ、これを電子回路が形成された別の半導体基板の融着部に目合わせしてのせ、前記融着部は金属のバンパによって形成されており、加熱、融着によって前記半導体チップと前記半導体基板とを一体化することを特徴とする。

(作用)

別個にチップ同志を形成してこれを貼り合わせるので、最適な構造とすることができ、同一基板上に同時に作り込む方法に比べ個々の特性を損なうことが無い。又、貼り合わせるチップ同志のワイヤボンディングが不要であるので、寄生インダクタンスや容量も小さく抑えることが可能となる。

(実施例)

第1図は本発明に係わる一実施例によって製作されたデバイスの断面図を示したものである。SOS基板11の表面にCMOSインバータが形成されている。

コートする((b)図)。ポリイミド14の粘度を適当な大きさにしておくとAuバンパ12上の塗布後のポリイミド14の層厚はそれ以外の領域の層厚に比べて1/10程度に薄くなる。200°C、350°Cの二段階のベーキングでポリイミド14を固化させた後、CF₄で全面をドライエッチングすると、ポリイミド14がエッチングされAuバンパ12が最初に露出してくる。この状態でエッチングをやめる((c)図)。その後LEDをAuバンパ12の上にのせ、治具でLEDを押え込む。これを260°CのN₂雰囲気中に1分30秒程置くと、AuSuがとけ、LEDがAuバンパ12の上に融着される((d)図)。

第4図は異なるサイズのAuバンパ上にLEDを搭載し、直接駆動を行なった、LEDの駆動電流が100mAに於ける光出力と、通常の方法でヒート・シンク上にのせた参照用のLEDの光出力との差 Δp を縦軸にとり、横軸にバンパの一辺の長さをとって示したものである。バンパ面積の減少に伴い光出力の低下が見られものの、100 μm^2 のバンパに搭載すれば Δp は1dBに抑えられていることが分かる。

12はAuバンパ、13はInGaAsP/InPから作られた発光ダイオード(LED)である。第2図はその光・電変換特性を示したものであり、同図内に電氣的等価回路が示されている。CMOSインバータのn及びpMOSTのゲート幅/長は、95/5(μm)であり、閾値電圧はそれぞれ0.4V、-1.0Vであった。LED13の発光波長は1.3 μm であり、インバータの出力端子にpサイドダウンで搭載した。CMOSの各端子の大きさは100 μm^2 であり、垂直配線用に約1 μm 厚のAuバンパ12が形成されている。又上、下のチップ間の電氣的絶縁と表面の平坦化を行なう目的でAuバンパ12の間にはポリイミド14がコートされているが、これがコートされていなく共構わない。

第3図はこの製造実施例を示したものである。LEDは通常の面発光型であり発光径は25 $\mu\text{m}\phi$ であり、チップサイズは300 $\mu\text{m}\times$ 300 μm である。融着用に1 μm 厚のAuSu15をLEDのp側に全面蒸着によって形成する((a)図)。SOS上のAuバンパ12はレジストマスクを用い選択的なAuメッキ法で約1 μm の厚さにつける。次にSOS上に全面にポリイミド14を

(発明の効果)

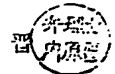
本発明によれば2つのチップとチップ、チップとウェハに形成されたデバイスの特性を損なうことなく両者を一体化できる。

図面の簡単な説明

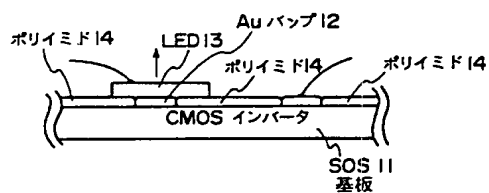
第1図、第2図、第3図は本発明に係わる一実施例の図、第4図はAuバンパ上に搭載したLEDの光出力特性を示す図、第5図は従来例を示す図である。

同図に於いて11はSOS基板、12はAuバンパ、13及び22は発光ダイオード、14はポリイミド、15はAuSu、21はH.R.GaAs、23はFETである。

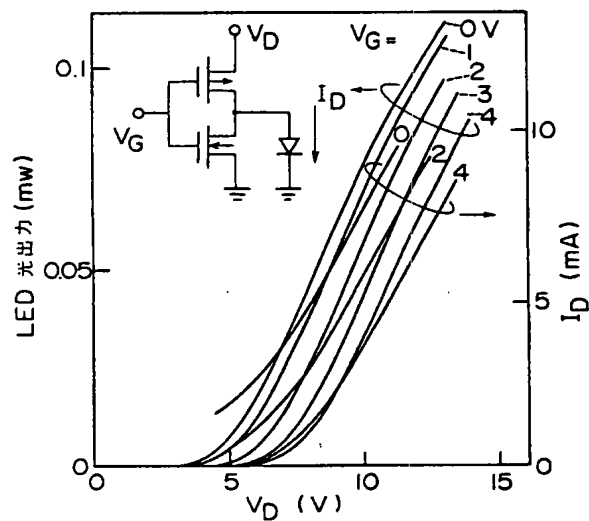
代理人 弁理士 内原



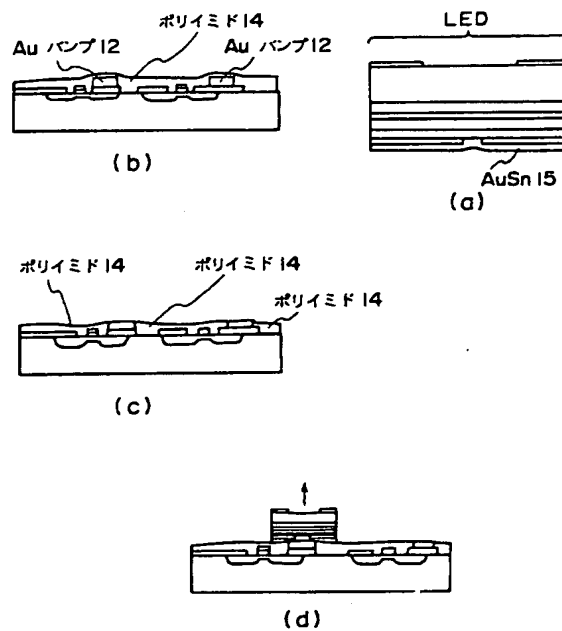
オ 1 図



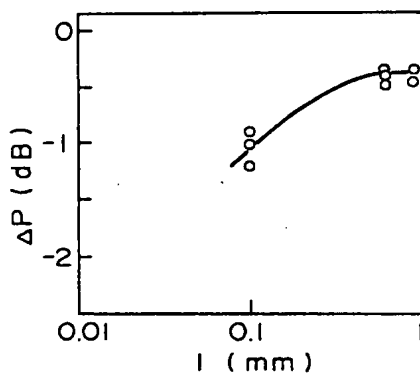
オ 2 図



オ 3 図



オ 4 図



オ 5 図

